

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70242

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/13				
H 0 3 H 11/26		A 8628-5 J		
		B 8628-5 J		
H 0 3 K 5/15				
			H 0 3 K 5/15	G
			審査請求 未請求	請求項の数10 F D (全 22 頁)

(21) 出願番号 特願平6-219496

(22) 出願日 平成6年(1994)8月22日

(31) 優先権主張番号 特願平6-141598

(32) 優先日 平6(1994)6月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

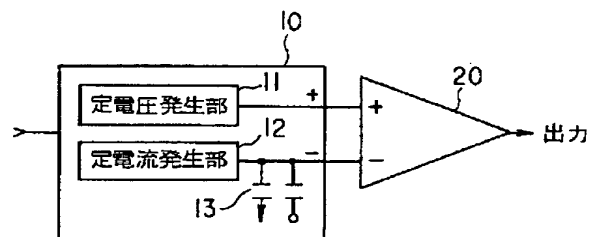
最終頁に続く

(54) 【発明の名称】 遅延回路

(57) 【要約】

【目的】 電源電圧レベル、接地レベルやトランジスタのコンダクタンスが変動しても安定な遅延時間を有し得るだけでなく、回路面積や消費電流を小さくすることが可能な遅延回路を提供すること。

【構成】 p M O S 集積回路に用いる遅延回路において、スタンバイ時からアクティブ時への入力信号の反転に応じて第1の電位を発生する定電圧発生部11、第1の電位に比例する電流を発生する定電流発生部12、及びこの定電流発生部12からの電流によって蓄電されるキャパシタ13からなる蓄電回路10と、第1の電位とキャパシタ13の一端に現れる第2の電位との差を増幅する増幅回路20とを具備してなることを特徴とする。



1

【特許請求の範囲】

【請求項1】 スタンドバイ時からアクティブ時への入力信号の反転に応じて第1の電位を発生する定電圧発生部と、第1の電位と第1の電源電圧との差に比例する電流を発生する定電流発生部と、第1の端子が第1又は第2の電源電圧に固定され、第2の端子がスタンドバイ時に第1の電源電圧に蓄電され、アクティブ時に前記定電流発生部からの電流によって蓄電されるキャパシタと、から構成された蓄電回路と、

第1の電位と前記キャパシタの第2の端子に現れる第2の電位との差を増幅する増幅回路とを具備してなることを特徴とする遅延回路。

【請求項2】 前記蓄電回路は、ソースが第2の電源電圧端子に接続され、ゲートとドレインが接続された第1のMOSトランジスタと、このMOSトランジスタのドレインと第1の電源電圧端子との間に接続された抵抗素子と、ソースが第2の電源電圧端子に接続され、ゲートが第1のMOSトランジスタのゲートに接続され、ドレインが前記キャパシタの一端に接続された第2のMOSトランジスタとで構成され、

第1のMOSトランジスタのドレイン又は前記抵抗素子を分割した分割点の電位を第1の電位とし、第2のMOSトランジスタと前記キャパシタの接続点の電位を第2の電位として出力することを特徴とする請求項1記載の遅延回路。

【請求項3】 前記抵抗素子の抵抗値と、第2のMOSトランジスタのコンダクタンスに対する第1のMOSトランジスタのコンダクタンスの比と、前記キャパシタの容量値との積で遅延時間が与えられることを特徴とする請求項2記載の遅延回路。

【請求項4】 前記入力信号を前記蓄電回路のみではなく前記増幅回路にも与え、該増幅回路をアクティブ時のみ活性化することを特徴とする請求項1記載の遅延回路。

【請求項5】 入力信号を遅延した複数の信号を出力する遅延回路であって、

1つ又は互いに比例する複数の定電圧を出力する定電圧発生部と、

この定電圧発生部からの定電圧の少なくとも1つが入力され、該入力された電圧と第1の電源電圧との差に比例する定電流を発生する1つ又は複数個の定電流発生部と、

第1の端子が第1又は第2の電源電圧に固定され、スタンドバイ時には第2の端子の電圧が第1の電源電圧にされ、アクティブ時には前記定電流発生部からの定電流によって蓄電される一つ又は複数個のキャパシタと、

前記キャパシタの第2の端子の電圧と前記定電圧発生部からの定電圧との差を増幅する1つ又は複数個の増幅回路とを具備してなることを特徴とする遅延回路。

【請求項6】 入力信号を遅延したN ($N \geq 2$) 個の信号を出力する遅延回路であって、

2

1番目の出力信号に係わるキャパシタは前記入力信号によってアクティブになり、

($n+1$) 番目 ($1 \leq n \leq N-1$) の出力信号に係わるキャパシタはn番目の出力信号によってアクティブになることを特徴とする請求項5記載の遅延回路。

【請求項7】 前記定電流発生部の入力電圧は、コマンドによって前記定電圧発生部の複数の出力電圧の中から少なくとも1つが選択されることを特徴とする請求項5又は6に記載の遅延回路。

10 【請求項8】 前記キャパシタに蓄電される定電流は、コマンドによって前記定電流発生部の複数の出力電流の中から少なくとも1つが選択されることを特徴とする請求項5又は6に記載の遅延回路。

【請求項9】 前記定電圧発生部は、ソースが第2の電源電圧端子に接続され、ゲートとドレインが第1の接続点に接続された第1のMOSトランジスタと、第1の接続点と第1の電源電圧端子との間に直列に分割接続された抵抗素子とで構成され、

20 前記定電流発生部は、ソースが第2の電源電圧端子に接続され、ゲートが第1の接続点又は抵抗素子の分割点に接続され、ドレインが前記キャパシタの一端に接続される1つ又は複数の第2のMOSトランジスタとで構成され、

前記増幅回路は、第1の接続点又は分割された抵抗素子の分割点の電位と前記キャパシタの他端の電位の差を増幅するものであることを特徴とする請求項5～8のいずれかに記載の遅延回路。

30 【請求項10】 第1及び第2のMOSトランジスタがpチャネルの場合は、第1の電源電圧は第2の電源電圧に対して正電圧とし、第1及び第2のMOSトランジスタがnチャネルの場合は、第2の電源電圧は第1の電源電圧に対して正電圧とすることを特徴とする請求項2、3、4又は9に記載の遅延回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電気信号を遅延する遅延回路に係わり、特にMOS集積回路に適した遅延回路に関する。

【0002】

40 【従来の技術】 従来、遅延回路としては各種の構成が提案されているが、MOSトランジスタを用いた遅延回路としては次のようなものが知られている。

【0003】 図31は、MOSトランジスタを用いた従来の遅延回路の第1の例を示す図である。入力信号Vinは、スタンドバイ時にはロー、アクティブ時にはハイとなる。従って、スタンドバイ時にはpチャネルトランジスタQp17によってキャパシタC4に電源電圧Vccが充電され、その結果、出力信号Voutはローになっている。入力信号Vinがローからハイになると、キャパシタC4に蓄えられていた電荷はnチャネルトランジスタQ

3

n20 によって放電されていき、インバータ I8 の入力電位はハイからローになっていく。そして、インバータ I8 の入力電位がインバータ I8 のしきい電圧 V_{inv} より下がると、出力信号 V_{out} はローからハイに変わる。

【0004】従って、入力信号 V_{in} がローからハイに変わってから、出力信号 V_{out} がローからハイに変わるまでの遅延時間 T は、インバータ I8 の入力電位が電源電圧 V_{cc} からインバータ I8 のしきい電圧 V_{inv} になるまでの時間に等しい。遅延時間 T が電源電圧 V_{cc} の変動によっても不変であるようにするために、インバータ I8 を構成する p チャネルトランジスタの電流供給能力を n チャネルトランジスタの電流供給能力に比べて大きくすることによって、インバータ I8 のしきい電圧 V_{inv} を $(V_{cc} - V_t)$ に近い大きさにしている。ここで、 V_t はインバータ I8 を構成する p チャネルトランジスタのしきい電圧を表し、それは電源電圧 V_{cc} によらない定電圧である。

【0005】しかしながら、本従来例には次のような問題がある。即ち、キャパシタ C4 に蓄えられていた電荷を放電するための n チャネルトランジスタ Qn20 のゲート電圧は、アクティブ時に電源電圧 V_{cc} であり、n チャネルトランジスタ Qn20 の放電能力は、そのゲート電圧に依存する。従って、n チャネルトランジスタ Qn20 の放電能力は電源電圧 V_{cc} に依存してしまい、その結果、遅延時間 T は電源電圧 V_{cc} に依存する。

【0006】また、本従来例は製造ばらつきに弱いという欠点を持つ。即ち、n チャネルトランジスタのしきい電圧の変動によって放電能力が、さらに p チャネルトランジスタのしきい電圧の変動によって遅延時間 T を決める放電すべき電荷量が変化する。また、長い遅延時間を持つ遅延回路では、キャパシタ C4 や n チャネルトランジスタ Qn20 の素子面積が大きくなってしまふ。さらに、遅延時間 T は、インバータ I8 の入力電位が V_t ($\sim 1V$) だけの变化で与えられるので、放電すべき電荷量を大きくするためにキャパシタ C4 又は n チャネルトランジスタ Qn20 又はそれらの両方の素子面積が大きくなってしまふ。

【0007】図 3 2 は、MOS トランジスタを用いた従来の遅延回路の第 2 の例を示す図である（特開平 3-23709 号公報）。本従来例は、電源電圧 V_{cc} と p チャネルトランジスタのしきい電圧の変動に対して比較的安定な遅延時間を持つ、遅延回路を提供している。

【0008】しかしながら、本従来例による遅延時間は、遅延回路の出力の立上がり、立下がりが増やとなるため、遅延回路の出力を受ける回路のしきい電圧によって変動してしまうという問題点を有する。即ち、本従来例の遅延回路自体は安定な遅延時間を有するものの、この回路の出力を受けるインバータのしきい電圧が電源電圧 V_{cc} やトランジスタのコンダクタンスの変動によってばらつき、その結果、遅延時間はばらついてしまふ。

4

【0009】一方、複数の遅延時間を得るための遅延回路の第 1 の従来例として図 3 3 に示す構成が知られている。図 3 4 はその入出力波形を示す。このとき、複数の遅延時間を得るためには遅延時間と同数の単体遅延回路 60 が必要となる。従って、これらの遅延回路の総素子数は単体遅延回路素子数に遅延回路の数を掛けた数になり、結果として総素子面積が大きくなってしまふという問題点があった。

【0010】図 3 5 は複数の遅延時間を得るための遅延回路の第 2 の従来例であり、図 3 6 (a) (b) にその入出力波形を示す。図 3 5 に示される遅延回路はコマンドに応じてその遅延時間を変えることができる。コマンド信号 CMD がローレベルであるときは、遅延回路 T1 と遅延回路 T2 は直列に接続される。従って、図 3 6 (a) で示されるように、入力信号 V_{in} がローからハイになると、出力信号 V_{out} は入力信号 V_{in} から時間 $(T_1 + T_2)$ だけ遅れてローからハイになる。一方、コマンド信号 CMD がハイレベルであるとき遅延回路 T2 は省略され、遅延回路 T1 のみ有効となる。従って、図 3 6 (b) で示されるように、入力信号 V_{in} がローからハイになると、出力信号 V_{out} は入力信号 V_{in} から時間 T_1 だけ遅れてローからハイになる。

【0011】しかしながら、上記のようにコマンドに応じて遅延時間を変えることのできる従来の遅延回路は、利用できる遅延時間の構成要素の数だけ単位遅延回路 60 が必要であり、結果として総素子面積が大きくなってしまふという問題があった。

【0012】

【発明が解決しようとする課題】このように従来の遅延回路においては、電源電圧レベルや接地レベル、或いはトランジスタのコンダクタンスが変動すると、これに伴い遅延時間が変動するという問題があった。また、大きな遅延時間を得るには回路面積や消費電流が大きくなるという問題があった。

【0013】また、複数種の遅延時間を必要とする遅延回路においては、利用できる遅延時間の構成要素の数だけ単位遅延回路が必要となり、総素子面積が大きくなってしまふという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、電源電圧レベル、接地レベルやトランジスタのコンダクタンスが変動しても安定な遅延時間を有し得るだけでなく、回路面積や消費電流を小さくすることが可能な遅延回路を提供することにある。

【0015】また、本発明の他の目的は、複数種の遅延時間を実現することができ、かつ素子面積の縮小化をはかり得る遅延回路を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。

【0017】即ち、本発明（請求項1）は、MOS集積回路に用いる遅延回路において、スタンバイ時からアクティブ時への入力信号の反転に応じて第1の電位を発生する定電圧発生部と、第1の電位と第1の電源電圧との差に比例する電流を発生する定電流発生部と、第1の端子が第1又は第2の電源電圧に固定され、第2の端子がスタンバイ時に第1の電源電圧に蓄電され、アクティブ時に前記定電流発生部からの電流によって蓄電されるキャパシタと（定電圧発生部、定電流発生部及びキャパシタから蓄電回路が構成される）、第1の電位と前記

【0018】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0019】(1) 蓄電回路は、ソースが第2の電源電圧端子に接続され、ゲートとドレインが接続された第1のMOSトランジスタと、このMOSトランジスタのドレインと第1の電源電圧端子との間に接続された抵抗素子と、ソースが第2の電源電圧端子に接続され、ゲートが第1のMOSトランジスタのゲートに接続され、ドレインがキャパシタの一端に接続された第2のMOSトランジスタとで構成され、第1のMOSトランジスタのドレイン又は抵抗素子を分割した分割点の電位を第1の電位とし、第2のMOSトランジスタとキャパシタの接続点の電位を第2の電位として出力するものであること。

(2) 抵抗素子の抵抗値と、第2のMOSトランジスタのコンダクタンスに対する第1のMOSトランジスタのコンダクタンスの比と、キャパシタの容量値との積で遅延時間が与えられること。

(3) 入力信号を蓄電回路のみではなく増幅回路にも与え、増幅回路をアクティブ時のみ活性化すること。

(4) 第1及び第2のMOSトランジスタはpチャネルトランジスタであり、第1の電源電圧は第2の電源電圧に対して正電圧とすること。

(5) 第1及び第2のMOSトランジスタはnチャネルトランジスタであり、第2の電源電圧は第1の電源電圧に対して正電圧とすること。

【0020】また、本発明（請求項5）は、入力信号を遅延した複数の信号を出力する遅延回路において、1つ又は互いに比例する複数の定電圧を出力する定電圧発生部と、この定電圧発生部からの定電圧の少なくとも1つが入力され、該入力された電圧と第1の電源電圧との差に比例する定電流を発生する1つ又は複数個の定電流発生部と、第1の端子が第1又は第2の電源電圧に固定され、スタンバイ時には第2の端子の電圧が第1の電源電圧にされ、アクティブ時には定電流発生部からの定電流によって蓄電される一つ又は複数個のキャパシタと、キャパシタの第2の端子の電圧と定電圧発生部からの定電圧との差を増幅する1つ又は複数個の増幅回路とを具備してなることを特徴とする。

【0021】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 入力信号を遅延した N ($N \geq 2$) 個の信号を出力する遅延回路であって、1番目の出力信号に係わるキャパシタは前記入力信号によってアクティブになり、 $(n+1)$ 番目 ($1 \leq n \leq N-1$) の出力信号に係わるキャパシタは n 番目の出力信号によってアクティブになること。

(2) 定電流発生部の入力電圧は、コマンドによって定電圧発生部の複数の出力電圧の中から少なくとも1つが選択されること。

(3) キャパシタに蓄電される定電流は、コマンドによって定電流発生部の複数の出力電流の中から少なくとも1つが選択されること。

(4) 定電流発生部の入力電圧は、コマンドによって定電圧発生部の複数の出力電圧の中から少なくとも1つが選択され、キャパシタに蓄電される定電流は、コマンドによって定電流発生部の複数の出力電流の中から少なくとも1つが選択されること。

(5) 定電圧発生部は、ソースが第2の電源電圧端子に接続され、ゲートとドレインが第1の接続点に接続された第1のMOSトランジスタと、第1の接続点と第1の電源電圧端子との間に直列に分割接続された抵抗素子とで構成され、定電流発生部は、ソースが第2の電源電圧端子に接続され、ゲートが第1の接続点又は抵抗素子の分割点に接続され、ドレインが前記キャパシタの一端に接続される1つ又は複数の第2のMOSトランジスタとで構成され、増幅回路は、第1の接続点又は分割された抵抗素子の分割点の電位と前記キャパシタの他端の電位の差を増幅するものであること。

(6) 第1及び第2のMOSトランジスタはpチャネルトランジスタであり、第1の電源電圧は第2の電源電圧に対して正電圧であること。

(7) 第1及び第2のMOSトランジスタがnチャネルトランジスタであり、第2の電源電圧は第1の電源電圧に対して正電圧であること。

【0022】

【作用】本発明（請求項1）によれば、定電圧発生部で得られる第1の電位と第1の電源電圧の差の変化に比例して、定電流発生部及びコンデンサで得られる第2の電位が変化するため、電源電圧の変動によらず、定電流発生部の回路によって決まる定数 R とキャパシタの容量 C とで遅延時間 T が決まることになる。従って、電源電圧の変動により遅延時間 T が変動するのを防止することができる。

【0023】また、本発明における遅延回路の遅延時間 T は、抵抗値 r と容量値 c と2つのpチャネルトランジスタのコンダクタンスの比 α を設定することにより、後述する(4)式で与えられる。さらに、抵抗値 r と容量値 c と2つのnチャネルトランジスタのコンダクタンスの

比 β を設定することにより、後述する(9)式で与えられる。従って、電源電圧レベルや接地レベルやトランジスタのコンダクタンスが変動しても安定な遅延時間を有し得るだけでなく、回路面積や消費電流を小さくすることが可能となる。

【0024】また、本発明(請求項5)によれば、請求項1における定電圧発生部の出力電圧を複数にしたり、請求項1における定電流発生部、キャパシタ、増幅回路等を必要に応じて複数個設けることにより、複数種の遅延時間を実現することができる。つまり、利用できる遅延時間の構成要素の数だけ単位遅延回路を必要とすることはなく、最小限の回路増加で複数種の遅延時間を達成することができ、これにより素子面積の縮小化をはかることが可能となる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。

(実施例1)図1は、本発明の第1の実施例に係わる遅延回路の基本構成を示すブロック図である。図中10は蓄電回路であり、この蓄電回路10の出力は増幅回路20に供給されている。

【0026】蓄電回路10は、入力信号の反転(スタンバイ→アクティブ)により一定の電位を発生する定電圧発生部11と、その電位と第1の電源電圧の差に比例した電流を発生する定電流発生部12と、定電流発生部12からの電流により蓄電されるコンデンサ13で構成されている。コンデンサ13の第1のノードは接地又は電源に接続され、第2のノードが定電流発生部12に接続されて、第2のノードはスタンバイ時に第1の電源電圧に蓄電されている。

【0027】定電圧発生部11の出力(第1の電位)は+出力として増幅回路20の+入力端に供給される。そして、コンデンサ13の第2のノードに現われる電圧(第2の電位)は、-出力として増幅回路20の-入力端に供給されるものとなっている。

【0028】このような構成において、蓄電回路10に入力される信号がその論理を反転すると、蓄電回路10の+出力に定電圧発生部11の出力である一定の電圧が出力され、その-出力に定電圧と第1の電源電圧の差に比例する電流によって蓄電されるキャパシタ13の第2のノードの電位が出力される。蓄電回路10の+及び-の出力は、それぞれ増幅回路20の+及び-端子に入力される。そして、増幅回路20により、+端子の電位と-端子の電位の差が増幅される。

【0029】蓄電回路10の+出力である一定の電圧を V_{ref} 、定電圧 V_{ref} と第1の電源電圧 V_s に比例する電流を $|V_{ref} - V_s|/R$ 、それによって蓄電されるキャパシタ13の容量を C とすると、遅延時間 T は RC で与えられる。ここで、 R は電源電圧やトランジスタのしきい電圧によらない定電流発生部12の回路によって

決まる定数である。従って、遅延時間 T は R と C のばらつきによってのみ変化し、電源電圧の変化には依存しない。

【0030】このように本実施例によれば、定電圧発生部11で得られる第1の電位と第1の電源電圧の差の変化に比例して、定電流発生部12及びコンデンサ13で得られる第2の電位が変化するため、電源電圧によらず定電流発生部12の回路によって決まる定数 R とキャパシタの容量 C とで遅延時間 T が決まることになる。従って、電源電圧の変動により遅延時間 T が変動するのを防止することができる。

【0031】(実施例2)図2は、本発明の第2の実施例に係わる遅延回路の基本構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0032】先に説明した第1の実施例では、遅延回路の入力信号が蓄電回路10にのみ入力されているが、本実施例では、入力信号を蓄電回路10と増幅回路20の両方に入力させている。

【0033】このような構成であれば、増幅回路20を常に動作させるのではなく、入力される信号がその論理を反転したときに動作させることができ、これにより消費電力の低減をはかることが可能となる。

【0034】(実施例3)図3は、本発明の第3の実施例に係わる遅延回路の具体的構成を示す回路構成図である。この図には、蓄電回路10の具体的な回路図が含まれている。即ち、入力信号 V_{in} は、ソースが電源 V_{cc} に接続されたpチャネルトランジスタ Q_{p3} 及びソースが接地されたnチャネルトランジスタ Q_{n1} の各ゲートに入力されると共に、インバータI1に入力される。 Q_{p3} のドレインは、ソースが電源 V_{cc} に接続されたpチャネルトランジスタ Q_{p1} 、 Q_{p2} の各ゲートに接続されている。 Q_{p1} のゲートはドレインに接続され、このドレインと Q_{n1} のドレインとの間には、抵抗 R_1 、 R_2 が直列に接続されている。そして、 R_1 、 R_2 の接続点は増幅回路20の-入力端に接続されている。

【0035】I1の出力は、 Q_{p2} のドレインと接地端との間に接続されたnチャネルトランジスタ Q_{n2} のゲートに入力される。 Q_{p2} のドレインは、第1のノードが電源 V_{cc} に接続されたコンデンサ C_3 の第2のノードに接続されると共に、増幅回路20の+入力端に接続されている。

【0036】このような構成において、スタンバイ時には入力信号 V_{in} はローとなっており、増幅回路20の-端子にはハイが、+端子にはローがそれぞれ入力されている。その結果、出力信号 V_{out} はローとなる。アクティブ時、即ち入力信号 V_{in} がローからハイになると、増幅回路20の-端子にはpチャネルトランジスタ Q_{p1} の電流供給能力と抵抗素子 R_1 及び R_2 の抵抗値で決まる定電圧 V_{ref} が入力される。

【0037】ここで、nチャネルトランジスタQn1の電流供給能力は十分大きく設定される。増幅回路20の+端子に入力される電圧Vcap、即ちpチャネルトランジスタQp2のドレイン電圧がQp2のゲート電圧に等しくなるまではQp2は飽和領域で動作し、定電圧VrefはQp2のゲート電圧より低いため、Qp2を流れる電流は一定となり、増幅回路20の+端子に入力される電圧Vcapは、時間に比例して増加する。増幅回路20の+端子に入力される電圧Vcapが定電圧Vrefより大きくなる*

$$V_{ref} = V_{gp} \times r_2 / (r_1 + r_2) \quad \dots (1)$$

$$I_{ref} = V_{gp} / (r_1 + r_2) \quad \dots (2)$$

$$I_{cap} = I_{ref} \times g_{m2} / g_{m1} \quad \dots (3)$$

このようにして、入力信号Vinがローからハイになってから、出力信号Voutがローからハイになるまでの遅延※

$$= \alpha \times r_2 \times c \quad \dots (4)$$

$$\alpha = g_{m1} / g_{m2} \quad \dots (5)$$

で与えられる。従って、遅延時間Tは電源電圧やpチャネルトランジスタのしきい電圧には依存しない。また、★
 $\alpha > 1$

とすることによって、与えられた遅延時間に対して、本発明による遅延回路は、遅延時間が抵抗素子の抵抗値と容量素子の容量値との積で与えられる、従来の遅延回路に比べ回路面積を小さくできる。また、第2の従来例と比べ、同一の回路面積では貫通電流を小さくでき、同一の貫通電流値では回路面積を小さくできる利点がある。

【0040】なお、入力信号Vin、信号電圧Vout、増幅回路20の+端子に入力される電圧Vcap、定電圧Vrefの波形を図4に示す。

【0041】(実施例4)図5は、本発明の第4の実施例に係わる遅延回路の具体的構成を示す回路構成図である。この図には、増幅回路20の具体的な回路図が含まれている。

【0042】蓄電回路10は、pチャネルトランジスタQp3,4,9,10、抵抗素子R3、nチャネルトランジスタQn3,4,10で構成されている。増幅回路20は、pチャネルトランジスタQp5,6,7,8,11及びnチャネルトランジスタQn5,6,7,8,9及びインバータI3,4,5で構成されている。

【0043】このような構成において、スタンバイ時には入力信号Vinはローとなっている。従って、pチャネルトランジスタQp4がオンしているため、pチャネルトランジスタQp3,10はオフしている。また、nチャネルトランジスタQn3がオフしているため、蓄電回路10では貫通電流は流れない。さらに、nチャネルトランジスタQn7,8はオフし、かつインバータI3の入力電圧がpチャネルトランジスタQp11により電源電圧に固定されているため、増幅回路20では貫通電流は流れない。

【0044】また、nチャネルトランジスタQn4、pチャネルトランジスタQp5はオン、nチャネルトランジスタQn9、pチャネルトランジスタQp6はオフしている。

*と、増幅回路20の出力はローからハイに変わる。

【0038】pチャネルトランジスタQp1のゲート電圧をVgp、Qp1を流れる電流値をIref、pチャネルトランジスタQp2を流れる電流値をIcap、抵抗素子R1及びR2の抵抗値をそれぞれr1、r2、Qp1、Qp2のコンダクタンスをそれぞれgm1、gm2、容量素子C3の容量値をcとすると、次式が成立する。

【0039】

※時間Tは、 $T = c \times V_{ref} / I_{cap}$

★一般に遅延回路の回路面積は、遅延時間が長くなるに従って大きくなる。(4)式より、

…(6)

20 nチャネルトランジスタQn10は、スタンバイ時にキャパシタであるpチャネルトランジスタQp9のゲート電位を接地しておくために用いられる。

【0045】入力信号Vinがローからハイになると、pチャネルトランジスタQp4,11、nチャネルトランジスタQn10はオフ、pチャネルトランジスタQp6、nチャネルトランジスタQn3,7,8はオンする。増幅回路20の第1の入力電位Vrefは、固定された電源電圧に対して一定の電位となる。

【0046】キャパシタであるpチャネルトランジスタQp9が充電されインバータI3の入力電位がハイからローになると、出力信号Voutはローからハイに変わる。このとき、nチャネルトランジスタQn9がオン、nチャネルトランジスタQn4、pチャネルトランジスタQp5はオフする。従って、出力信号Voutがハイになってから以降、蓄電回路10及び増幅回路20は貫通電流を流さない。さらに、インバータI3、nチャネルトランジスタQn8,9によって、入力信号VinがローになるまでインバータI3の入力電位と出力電位がそれぞれロー、ハイにラッチされ、出力信号Voutのハイはラッチされる。

40 【0047】ところで、キャパシタQp9をpチャネルトランジスタQp10によって充電する電流の大きさは、抵抗素子R3を流れる電流の大きさに比例し、その比例係数はpチャネルトランジスタQp3のコンダクタンスに対するpチャネルトランジスタQp10のコンダクタンスの比となる。nチャネルトランジスタQn3のドレイン電圧をそのゲート電圧によらず接地レベルにするようにnチャネルトランジスタQn3,4の大きさを設定しておけば、抵抗素子R3を流れる電流の大きさは増幅回路20の第1の入力電位Vrefに比例する。

50 【0048】従って、電源電圧やpチャネルトランジスタ

11

タのコンダクタンスが変化することによって増幅回路 20 の第 1 の入力電位 V_{ref} が変化しても、増幅回路 20 の第 1 の入力電位 V_{ref} に比例した電流でキャパシタ Q_{p9} を充電することができ、その結果、電源電圧や p チャネルトランジスタのコンダクタンスの変化によらない一定の遅延時間を得ることができる。

【0049】回路面積を小さくする立場から言うと、回路面積の主要部、即ち抵抗素子 R_3 、p チャネルトランジスタ $Q_{p3,10}$ 、キャパシタ Q_{p9} の合計面積を小さくする必要がある。p チャネルトランジスタ Q_{p3} のコンダクタンスに対する p チャネルトランジスタ Q_{p10} のコンダクタンスの比を十分小さくすれば、抵抗素子 R_3 とキャパシタ Q_{p9} の合計面積は小さくできる。

【0050】ところで、電源電圧にノイズがのる場合があるときも誤動作しないように、キャパシタ Q_{p9} は一端を電源電圧に接続されている。p チャネルトランジスタ Q_{p3} のコンダクタンスを抵抗素子 R_3 のそれよりも十分大きくしておくことにより、増幅回路 20 の第 1 の入力電位 V_{ref} とキャパシタ Q_{p9} のゲート電位 V_{cap} は、電源電圧のノイズと同じ振幅で同期して振幅し、従って遅延回路に誤動作は生じない。このとき、接地レベルのノイズによっても誤動作しないのは、増幅回路 20 の第 1 の入力電位 V_{ref} とキャパシタ Q_{p9} のゲート電位 V_{cap} が共に、接地レベルのノイズによる変化がないためである。

【0051】（実施例 5）図 6 は、本発明の第 5 の実施例に係わる遅延回路の具体的構成を示す回路構成図である。この図には、蓄電回路 10 の具体的な回路図が含まれている。

【0052】スタンバイ時には入力信号 V_{in} はローとなっており、増幅回路 20 の一端子にはハイが、+端子にはローがそれぞれ入力されている。その結果、出力信号 V_{out} はローとなる。アクティブ時、即ち V_{in} がローからハイになると、増幅回路 20 の + 端子には n チャネルトランジスタ Q_{n80} の電流供給能力と抵抗素子 R_{80} の抵抗値で決まる定電圧 V_{ref} が入力される。ここで、p チャネルトランジスタ Q_{p80} の電流供給能力は十分大きく設定される。

【0053】増幅回路 20 の一端子に入力される電圧 V_{cap} 、即ち n チャネルトランジスタ Q_{n81} のドレイン電圧が、n チャネルトランジスタ Q_{n81} のゲート電圧に等しくなるまでは、n チャネルトランジスタ Q_{n81} は飽和領域で動作するため、n チャネルトランジスタ Q_{n81} を流れる電流は一定となり、増幅回路 20 の一端子に入力される電圧 V_{cap} は、時間に比例して減少する。増幅回路 20 の一端子に入力される電圧 V_{cap} が定電圧 V_{ref} より小さくなると、増幅回路 20 の出力はローからハイに変わる。

【0054】電源電圧を V_{cc} 、n チャネルトランジスタ Q_{n80} を流れる電流値を I_{ref} 、n チャネルトランジ

12

スタ Q_{n81} を流れる電流値を I_{cap} 、抵抗素子 R_{80} の抵抗値を r_{80} 、n チャネルトランジスタ Q_{n80} 、 Q_{n81} のコンダクタンスをそれぞれ g_{m80} 、 g_{m81} 、容量素子 C_{80} の容量値を c_{80} とすると、次式が成立する。

【0055】

$$I_{ref} = (V_{cc} - V_{ref}) / r_{80} \quad \dots (7)$$

$$I_{cap} = I_{ref} \times g_{m81} / g_{m80} \quad \dots (8)$$

このようにして、入力信号 V_{in} がローからハイになってから、出力信号 V_{out} がローからハイになるまでの遅延時間 T は、

$$T = c_{80} \times (V_{cc} - V_{ref}) / I_{cap}$$

$$= \beta \times r_{80} \times c_{80} \quad \dots (9)$$

$$\beta = g_{m80} / g_{m81} \quad \dots (10)$$

で与えられる。従って、遅延時間 T は電源電圧、n チャネルトランジスタのしきい電圧には依存しない。また、一般に遅延回路の回路面積は、遅延時間が長くなるに従って大きくなる。(9) 式より、

$$\beta > 1 \quad \dots (11)$$

とすることによって、与えられた遅延時間に対して、本発明による遅延回路は、遅延時間が抵抗素子の抵抗値と容量素子の容量値との積で与えられる、従来の遅延回路に比べ回路面積を小さくできる。特に、マイクロ秒程度より長い遅延時間の遅延回路で有効である。

【0056】なお、入力電圧 V_{in} 、出力電圧 V_{out} 、増幅回路 20 の一端子に入力される電圧 V_{cap} 、定電圧 V_{ref} の波形を図 7 に示す。

（実施例 6）図 8 は、本発明の第 6 の実施例に係わる遅延回路の具体的構成を示す回路構成図である。この図には、増幅回路 20 の具体的な回路図が含まれている。

【0057】蓄電回路 10 は、p チャネルトランジスタ $Q_{p90,91,92}$ 、抵抗素子 R_{90} 、n チャネルトランジスタ $Q_{n90,91,92,93}$ で構成されている。増幅回路 20 は、p チャネルトランジスタ $Q_{p93,94,95,96,97,98}$ 及び n チャネルトランジスタ $Q_{n94,95,96,97}$ 、及びインバータ $I_{91,92}$ で構成されている。

【0058】このような構成において、スタンバイ時には、入力信号 V_{in} はローとなっている。従って、n チャネルトランジスタ Q_{n92} がオンしているため、n チャネルトランジスタ $Q_{n90,91}$ はオフしている。また、p チャネルトランジスタ Q_{p90} がオフしているため、蓄電回路 10 では貫通電流は流れない。さらに、n チャネルトランジスタ Q_{n96} と p チャネルトランジスタ Q_{p97} はオフし、かつインバータ I_{91} の入力電圧が n チャネルトランジスタ Q_{n97} により接地電位に固定されているため、増幅回路 20 では貫通電流は流れない。

【0059】また、p チャネルトランジスタ Q_{p91} 、p チャネルトランジスタ Q_{p96} はオン、p チャネルトランジスタ Q_{p95} 、p チャネルトランジスタ Q_{p97} はオフしている。p チャネルトランジスタ Q_{p92} は、スタンバイ時にキャパシタである n チャネルトランジスタ Q_{n93}

のゲート電位を電源電圧に充電しておくために用いられる。

【0060】入力信号Vinがローからハイになると、nチャネルトランジスタQn92, 97、pチャネルトランジスタQp90, 91, 95, 97、nチャネルトランジスタQn96はオンする。増幅回路20の第1の入力電位Vrefは、固定された電源電圧に対して一定の電位となる。

【0061】キャパシタであるnチャネルトランジスタQn93が放電されインバータI91の入力電位がローからハイになると、出力信号Voutはローからハイに変わる。このとき、pチャネルトランジスタQp98がオン、pチャネルトランジスタQp91, 96はオフする。従って、出力信号Voutがハイになってから以降、蓄電回路10及び増幅回路20は貫通電流を流さない。さらに、インバータI91、pチャネルトランジスタQp97, 98によって、入力信号VinがローになるまでインバータI91の入力電位と出力電位がそれぞれハイ、ローにラッチされ、出力信号Voutのハイはラッチされる。

【0062】ところで、キャパシタQn93をnチャネルトランジスタQn91によって放電する電流の大きさは、抵抗素子R90を流れる電流の大きさに比例し、その比例係数はnチャネルトランジスタQn90のコンダクタンスに対するnチャネルトランジスタQn91のコンダクタンスの比となる。pチャネルトランジスタQp90のドレイン電圧を電源電圧レベルにするようにpチャネルトランジスタQp90, 91の大きさを設定しておけば、抵抗素子R90を流れる電流の大きさは電源電圧Vccと増幅回路20の第1の入力電位Vrefと電源電圧Vccの差に比例する。

【0063】従って、電源電圧やnチャネルトランジスタのコンダクタンスが変化することによって増幅回路20の第1の入力電位Vrefが変化しても、増幅回路20の第1の入力電位Vrefに比例した電流でキャパシタQn93に蓄えられている電荷を放電することができ、その結果、電源電圧やnチャネルトランジスタのコンダクタンスの変化によらない一定の遅延回路を得ることができる。

【0064】回路面積を小さくする立場から言うと、回路面積の主要部、即ち抵抗素子R90、nチャネルトランジスタQn90, 91、キャパシタQn93の合計面積を小さくする必要があり、nチャネルトランジスタQn90のコンダクタンスに対するnチャネルトランジスタQn91のコンダクタンスの比を十分小さくすれば、抵抗素子R90とキャパシタQn93の合計面積は小さくできる。

【0065】ところで、電源電圧にノイズがのる場合があるときも誤動作しないように、キャパシタQn93は一端が接地されている。nチャネルトランジスタQn90のコンダクタンスを抵抗素子R90のそれよりも十分大きくしておくことによって、増幅回路20の第1の入力電位VrefとキャパシタQn93のゲート電位Vcapは、接地

レベルのノイズと同じ振幅で同期して振幅し、従って遅延回路に誤動作は生じない。このとき、電源電圧のノイズによっても誤動作しないのは、増幅回路20の第1の入力電位VrefとキャパシタQn93のゲート電位Vcapが共に、電源電圧のノイズによる変化がないためである。

(実施例7) 図9は、本発明の第7の実施例に係わる遅延回路の基本構成を示すブロック図である。蓄電回路10は、互いに比例関係にある複数の定電圧を発生する定電圧発生部11と、これら複数の定電圧のうちの1つの電圧を入力とし、この入力電圧と第1の電源電圧の差に比例する定電流を出力する定電流発生部12と、この定電流で蓄電されるキャパシタ13(C10)で構成される。増幅回路20は、定電圧発生部11の出力のそれぞれとキャパシタC10の蓄電ノード電圧との差を増幅する。このとき、遅延回路の総素子数は必要となる遅延時間の数に比例しない。というのは、必要となる遅延時間の数が1つ増える毎に増幅回路20を1つ増やせばよいからである。従って、従来に比べ総素子数は少数でよい。

【0066】図10は、本実施例をより具体的に示す回路構成図である。また、図11は回路動作を説明するための図である。定電圧発生部11は、pチャネルトランジスタQp61、抵抗素子R61、…、R6N、nチャネルトランジスタQn61、で構成されている。定電流発生部12は、pチャネルトランジスタQp62を基本要素とする。スタンドバイ時には、入力信号Vinはローとなっている。従って、pチャネルトランジスタQp63がオンするためpチャネルトランジスタQp62はオフ、nチャネルトランジスタQn61はオフ、nチャネルトランジスタQn62がオンしているためキャパシタC61の一端の電圧Vcapはグラウンドレベルになっている。

【0067】入力信号Vinがローからハイになると、nチャネルトランジスタQn62、pチャネルトランジスタQp63はオフ、pチャネルトランジスタQp61, 62、nチャネルトランジスタQn61はオンする。増幅回路20の第1の入力電位Vref1、…、VrefNは、固定された電源電圧に対して一定の電位となる。キャパシタC61の一端の電圧Vcapは時間に対して一定に増加し、VcapがVrefn(1 ≤ n ≤ N)以上になるとVoutnはレベルを反転する。

【0068】このようにして本実施例の遅延回路は、必要となる遅延時間の数が1つ増える毎に増幅回路20を1つ増やせばよいから、従来に比べ総素子数は少数でよくなる。

(実施例8) 図12は、本発明の第8の実施例に係わる遅延回路の基本構成を示すブロック図である。蓄電回路10は、定電圧を発生する定電圧発生部11と、この定電圧を入力とし、この入力電圧と第1の電源電圧の差に比例する複数の定電流を出力する定電流発生部12と、

これらの定電流で蓄電されるキャパシタ13 (C20, ..., C2N) で構成される。増幅回路20は、定電圧発生部11の出力とキャパシタC20, ..., C2Nの蓄電ノード電圧のそれぞれとの差を増幅する。このとき、遅延回路の総素子数は必要となる遅延時間の数に比例しない。というのは、必要となる遅延時間の数が1つ増える毎に増幅回路20と定電流発生部12とキャパシタを1つ増やせばよいからである。従って、従来に比べ総素子数は少数でよい。

【0069】図13は、本実施例をより具体的に示す回路構成図である。また、図14は回路動作を説明するための図である。定電圧発生部11は、pチャネルトランジスタQp71、抵抗素子R71、nチャネルトランジスタQn71、で構成されている。定電流発生部12は、それぞれpチャネルトランジスタQp73, 74, ..., 7Mである。スタンバイ時には、入力信号Vinはローとなっている。従って、pチャネルトランジスタQp72がオンするためpチャネルトランジスタQp73, 74, ..., 7Mはオフ、nチャネルトランジスタQn71がオフ、nチャネルトランジスタQn73, 74, ..., 7MはオンしているためキャパシタC73, 74, ..., 7Mの一端の電圧、それぞれVcap1, ..., VcapNはグラウンドレベルになっている。

【0070】入力信号Vinがローからハイになると、nチャネルトランジスタQn73, 74, ..., 7M、pチャネルトランジスタQp72はオフ、pチャネルトランジスタQp73, 74, ..., 7M、nチャネルトランジスタQn71はオンする。増幅回路20の第1の入力電位Vrefは、固定された電源電圧に対して一定の電位となる。キャパシタC73, 74, ..., 7Mの一端の電圧、それぞれVcap1, ..., VcapNは時間に対してそれぞれ一定の割合で増加し、Vcapn (1 ≤ n ≤ N) がVref 以上になるとVoutnはレベルを反転する。

【0071】このようにして本実施例の遅延回路は、必要となる遅延時間の数が1つ増える毎に、増幅回路20と定電流を発生するpチャネルトランジスタとこの定電流で蓄電されるキャパシタを1つずつ増やせばよいから、従来に比べ総素子数は少数でよい。

(実施例9) 図15は、本発明の第9の実施例に係わる遅延回路の基本構成を示すブロック図である。蓄電回路10は、互いに比例関係にある複数の定電圧を発生する定電圧発生部11と、これら複数の定電圧のうち1つの電圧を入力とし、この入力電圧に比例する定電流を出力する複数の定電流発生部12と、この定電流で蓄電されるキャパシタ13 (C30, ..., C3N) で構成される。増幅回路20は、定電圧発生部11の出力のそれぞれとキャパシタC30, ..., C3Nの蓄電ノード電圧との差を増幅する。このとき、遅延回路の総素子数は必要となる遅延時間の数に比例しない。というのは、必要となる遅延時間の数が1つ増える毎に増幅回路20を1つ又は増幅回路20と定電流発生部12とキャパシタを1つずつ増や

せばよいからである。従って、従来に比べ総素子数は少数でよい。

【0072】図16, 17は本実施例をより具体的に示す回路構成図である。また、図18は回路動作を説明するための図である。定電圧発生部11は、pチャネルトランジスタQp1001、抵抗素子R1000, R1010, ..., RN、nチャネルトランジスタQn1001、で構成されている。定電流発生部12は、pチャネルトランジスタQp1010, 1020, ..., L である。スタンバイ時には、入力信号Vinはローとなっている。従って、pチャネルトランジスタQp1001がオンするためpチャネルトランジスタQp1010, 1020, ..., L はオフ、nチャネルトランジスタQn1000がオフ、nチャネルトランジスタQn1010, 1020, ..., L はオンしているためキャパシタC1010, 1020, ..., Lの一端の電圧、それぞれVcap1, ..., VcapMはグラウンドレベルになっている。

【0073】入力信号Vinがローからハイになると、nチャネルトランジスタQn1010, 1020, ..., L、pチャネルトランジスタQp1001はオフ、pチャネルトランジスタQp1000, 1010, ..., L、nチャネルトランジスタQn1000はオンする。増幅回路20の第1の入力電位Vref1, ..., VrefNは、固定された電源電圧に対して一定の電位となる。キャパシタC1010, 1020, ..., Lの一端の電圧、それぞれVcap1, ..., VcapMは時間に対してそれぞれ一定の割合で増加し、Vcapm (1 ≤ m ≤ M) がVrefn (1 ≤ n ≤ N) 以上になるとVoutnmはレベルを反転する。なお、入力信号Vinがローからハイになってから、出力信号Voutnmがローからハイになるまでの時間をTnmと書くとき、任意のnに対するTnmの比、即ちTn1 : Tn2 : ... : TnMはnによらず一定であり、また任意のmに対するTnmの比、即ちT1m : T2m : ... : TnMはmによらず一定である。

【0074】このようにして本実施例の遅延回路は、必要となる遅延時間の数が1つ増える毎に増幅回路20を1つ、又は増幅回路20と定電流を発生するpチャネルトランジスタとこの定電流で蓄電されるキャパシタを1つずつ増やせばよいから、従来に比べ総素子数は少数でよい。

(実施例10) 図19は、本発明の第10の実施例に係わる遅延回路の基本構成を示すブロック図である。蓄電回路10は、互いに比例関係にある複数の定電圧を発生する定電圧発生部11と、入力されるコマンドに応じてこれら複数の定電圧の中から1つの電圧を選択する定電流発生部入力信号スイッチ15と、選択された電圧を入力とし、この入力電圧と第1の電源電圧の差に比例する定電流を出力する定電流発生部12と、この定電流で蓄電されるキャパシタ13 (C40) で構成される。増幅回路20は、定電圧発生部11の1つの出力電圧とキャパシタC40の蓄電ノード電圧との差を増幅する。こうして、入力されるコマンドに応じて遅延時間を変え得る信

号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部入力信号スイッチ数を増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

【0075】図20は、本実施例をより具体的に示す回路構成図である。また、図21(a)(b)は回路動作を説明するための図である。定電圧発生部11は、pチャネルトランジスタQp91、抵抗素子R91,92、nチャネルトランジスタQn91、で構成されている。定電流発生部12は、pチャネルトランジスタQp95である。さらに、定電流発生部入力信号スイッチ15は、nチャネルトランジスタQn92,93、pチャネルトランジスタQp92,93、インバータI92で構成されている。

【0076】スタンバイ時には、入力信号Vinはローとなっている。従って、pチャネルトランジスタQp94がオンするためpチャネルトランジスタQp91,95はオフ、nチャネルトランジスタQn91がオフ、nチャネルトランジスタQn94はオンしているためキャパシタC91の一端の電圧Vcapはグラウンドレベルになっている。

【0077】入力信号Vinがローからハイになると、nチャネルトランジスタQn94、pチャネルトランジスタQp94はオフ、pチャネルトランジスタQp91,95、nチャネルトランジスタQn91はオンする。増幅回路20の第1の入力電位Vrefは、コマンドCMDがローであるときは $V_{ref} = V_A$ が、またコマンドCMDがハイであるときは $V_{ref} = V_B$ がそれぞれ成立する。一方、キャパシタC91の一端の電圧VcapはコマンドCMDのレベルによらず時間に対して一定の割合で増加する。このようにして、コマンドCMDがローのときの遅延時間TAとコマンドCMDがハイのときの遅延時間TBの比は、定電圧VAとVBの比、即ち抵抗値r92と $(r_{91} + r_{92})$ の比に等しくなる。ここで、r91、r92はそれぞれ抵抗素子R91、R92の抵抗値を表す。

【0078】このようにして、入力されるコマンドに応じて遅延時間を変え得る信号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部入力信号スイッチ15のスイッチ数を増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

(実施例11) 図22は、本発明の第11の実施例に係わる遅延回路の基本構成を示すブロック図である。蓄電回路10は、一定電圧を発生する定電圧発生部11と、この定電圧を入力とし、この入力電圧に比例する定電流を出力する複数の定電流発生部12と、入力されるコマンドに応じてこれら複数の定電流の中から1つの電流を選択する定電流発生部入力信号スイッチ15と、選択された電流を入力とし、この定電流で蓄電されるキャパシタ13(C50)で構成される。増幅回路20は、定電圧発生部11の出力電圧とキャパシタC50の蓄電ノード電圧との差を増幅する。こうして、入力されるコマンドに応じて遅延時間を変え得る信号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部1

2と定電流発生部入力信号スイッチ15のスイッチ数をそれぞれ同数増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

【0079】図23は、本実施例をより具体的に示す回路構成図である。また、図24(a)(b)は回路動作を説明するための図である。定電圧発生部11は、pチャネルトランジスタQp101、抵抗素子R101、nチャネルトランジスタQn101、で構成されている。定電流発生部12は、pチャネルトランジスタQp103,104である。さらに、定電流発生部入力信号スイッチ15は、nチャネルトランジスタQn103,104、pチャネルトランジスタQp105,106、インバータI102で構成されている。

【0080】スタンバイ時には、入力信号Vinはローとなっている。従って、pチャネルトランジスタQp102がオンするためpチャネルトランジスタQp101,103,104はオフ、nチャネルトランジスタQn101がオフ、nチャネルトランジスタQn102はオンしているためキャパシタC101の一端の電圧Vcapはグラウンドレベルになっている。

【0081】入力信号Vinがローからハイになると、nチャネルトランジスタQn102、pチャネルトランジスタQp102はオフ、pチャネルトランジスタQp101,102,103、nチャネルトランジスタQn101はオンする。キャパシタC101は、コマンドCMDがローであるときはpチャネルトランジスタQp103によって、またコマンドCMDがハイであるときはpチャネルトランジスタQp104によってそれぞれ充電される。一方、増幅回路20の第1の入力電位VrefはコマンドCMDのレベルによらずな一定電圧である。キャパシタC101の一端の電圧Vcapが時間に対して一定に増加する割合は、キャパシタC101を充電するpチャネルトランジスタのコンダクタンスに反比例する。このようにして、コマンドCMDがローのときの遅延時間TAとコマンドCMDがハイのときの遅延時間TBの比は、Vcapの時間に対する傾きの逆数の比、即ちpチャネルトランジスタQp103,104のコンダクタンスの逆数の比に等しくなる。

【0082】このようにして、入力されるコマンドに応じて遅延時間を変え得る信号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部12と定電流発生部入力信号スイッチ15のスイッチ数を増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

(実施例12) 図25は、本発明の第12の実施例に係わる遅延回路の基本構成を示すブロック図である。この実施例は第11の実施例の改良であり、蓄電回路10は、一定電圧を発生する定電圧発生部11と、この定電圧を入力とし、この入力電圧と第1の電源電圧の差に比例する定電流を出力する2つの定電流発生部12と、入力される2つのコマンドCMD1,2に応じてオン・オフする定電流発生部入力信号スイッチ15と、選択され

た電流を入力とし、この定電流で蓄電されるキャパシタ 13 (C50) で構成される。増幅回路 20 は、定電圧発生部 11 の出力電圧とキャパシタ C50 の蓄電ノード電圧との差を増幅する。

【0083】なお、本実施例では、スイッチ 15 は少なくとも一方がオンするように制御する。そして、スイッチ 15 の一方がオンしている場合と両方がオンしている場合で定電流量が異なるため、遅延時間が異ならせることができる。また、2つの定電流発生部 12 は同じ電流を発生するものであってもよいが、各々を異なる電流値を発生するものにすれば、スイッチ 15 の一方と他方で遅延時間を異ならせることができ、3種類の遅延時間を得ることができる。

【0084】こうして、入力されるコマンドに応じて遅延時間を変え得る信号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部 12 と定電流発生部入力信号スイッチ 15 のスイッチ数をそれぞれ同数（若しくはそれ以下）増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

【0085】図 26 は、本実施例をより具体的に示す回路構成図である。また、図 27 (a) (b) (c) は回路動作を説明するための図である。定電圧発生部 11 は、p チャネルトランジスタ Qp111、抵抗素子 R111、n チャネルトランジスタ Qn111、で構成されている。定電流発生部 12 は、それぞれ p チャネルトランジスタ Qp113, 114 である。さらに、定電流発生部入力信号スイッチ 15 は、n チャネルトランジスタ Qn113, 114、p チャネルトランジスタ Qp115, 116、インバータ I 112, 113 で構成されている。

【0086】スタンバイ時には、入力信号 Vin はローとなっている。従って、p チャネルトランジスタ Qp112 がオンするため p チャネルトランジスタ Qp111, 113, 114 はオフ、n チャネルトランジスタ Qn111 がオフ、n チャネルトランジスタ Qn112 はオンしているためキャパシタ C111 の一端の電圧 Vcap はグラウンドレベルになっている。

【0087】入力信号 Vin がローからハイになると、n チャネルトランジスタ Qn12、p チャネルトランジスタ Qp112 はオフ、p チャネルトランジスタ Qp111, 113, 114、n チャネルトランジスタ Qn111 はオンする。キャパシタ C111 は、コマンド CMD 1 がハイかつコマンド CMD 2 がローであるときは p チャネルトランジスタ Qp113 によって、またコマンド CMD 1 がローかつコマンド CMD 2 がハイであるときは p チャネルトランジスタ Qp114 によって、さらにコマンド CMD 1 かつコマンド CMD 2 がハイであるときは p チャネルトランジスタ Qp113, 114 の両方によってそれぞれ充電される。

【0088】一方、増幅回路 20 の第 1 の入力電位 Vref はコマンド CMD 1 及びコマンド CMD 2 のレベルによらない一定電圧である。キャパシタ C111 の一端の電

圧 Vcap が時間に対して一定に増加する割合は、キャパシタ C111 を充電する p チャネルトランジスタのコンダクタンスに反比例する。このようにして、コマンド CMD 1 がハイかつコマンド CMD 2 がローのときの遅延時間 TA とコマンド CMD 1 がローかつコマンド CMD 2 がハイのときの遅延時間 TB とコマンド CMD 1 かつコマンド CMD 2 がともにハイのときの遅延時間 TC の比は、Vcap の時間に対する傾きの逆数の比、即ち p チャネルトランジスタ Qp103 のコンダクタンスの逆数と p チャネルトランジスタ Qp104 のコンダクタンスの逆数と p チャネルトランジスタ Qp103 と Qp104 のコンダクタンスの和の逆数の比に等しくなる。

【0089】このようにして、入力されるコマンドに応じて遅延時間を変え得る信号を出力する遅延回路は、それが有する遅延時間の数が増えても、定電流発生部 12 と定電流発生部入力信号スイッチ 15 のスイッチ数を増やすだけでよい。従って、従来に比べ総素子数は少数でよい。

（実施例 13）図 28 は、本発明の第 13 の実施例に係わる遅延回路の基本構成を示すブロック図である。この実施例は第 8 の実施例の改良であり、蓄電回路 10 は、定電圧を発生する定電圧発生部 11 と、この定電圧を入力とし、この入力電圧に比例する定電流を出力する 2 つの定電流発生部 12、12' と、これらの定電流で蓄電されるキャパシタ 13、13' (C10、C20) で構成される。増幅回路 20、20' は、定電圧発生部 11 の出力のそれぞれとキャパシタ C10、C20 の蓄電ノード電圧との差を増幅する。ここで、定電流発生部 12 は入力信号により起動されるが、定電流発生部 12' は入力信号ではなく、増幅回路 20 の出力を受けて起動されるようになっている。

【0090】このような構成であっても、遅延回路の総素子数は必要となる遅延時間の数に比例しない。というのは、必要となる遅延時間の数が 1 つ増える毎に増幅回路 20 と定電流発生部 12 とキャパシタ 13 を 1 つ増やせばよいからである。従って、従来に比べ総素子数は少数でよい。

【0091】図 29 は、本実施例をより具体的に示す回路構成図である。また、図 30 はこれを説明するための図である。

【0092】定電圧発生部 11 は、p チャネルトランジスタ Qp201、n チャネルトランジスタ Qn200、抵抗素子 R200 から構成されている。スタンバイ時には、入力 Vin はローとなっており、電圧 Vref は p チャネルトランジスタ Qp200 によって電源電圧まで充電されている。入力 Vin がハイになると、電圧 Vref は p チャネルトランジスタ Qp201 のトランスコンダクタンスと抵抗素子 R200 のコンダクタンスの比によって決まる定電圧になる。ここで、n チャネルトランジスタ Qn200 のトランスコンダクタンスを抵抗素子 R200 のコンダクタンスに比べ十

分大きくしておき、抵抗素子 R200 を流れる電流を定電圧 Vref に比例した大きさにしている。

【0093】定電流発生部 12 は 2 組あって、それぞれ p チャネルトランジスタ Qp202, 204 から構成されている。スタンバイ時には、電圧 Vref は p チャネルトランジスタ Qp200 によって電源電圧まで充電されているので、p チャネルトランジスタ Qp202, 204 は共にオフする。定電流発生部 p チャネルトランジスタ Qp202, 204 は、それぞれ入力 Vin, Vout1 がハイになっている間、それぞれキャパシタ C200, 201 を充電する。キャパシタ C200, 201 の電圧 Vcap1, Vcap2 は、スタンバイ時にはそれぞれ n チャネルトランジスタ Qn201, 202 によって接地レベルにされている。

【0094】このようにして本実施例では、1 番目の出力 Vout1 に係わるキャパシタ C200 は入力 Vin によってアクティブになり、2 番目の出力 Vout2 に係わるキャパシタ C201 は 1 番目の出力 Vout1 によってアクティブになる。そして、必要となる遅延時間の数が 1 つ増える毎に、増幅回路 20 と定電流を発生する p チャネルトランジスタとこの定電流で蓄電されるキャパシタを 1 つずつ増やせばよいから、従来に比べ総素子数は少数でよい。

【0095】なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0096】

【発明の効果】以上説明したように本発明（請求項 1）によれば、第 1 の電位を発生する定電圧発生部、第 1 の電位と第 1 の電源電圧の差に比例した電流を発生する定電流発生部、及び定電流が蓄積されて第 2 の電位を発生するコンデンサからなる蓄電回路と、この蓄電回路の第 1 及び第 2 の電位の差を増幅回路とで遅延回路を構成することにより、電源電圧レベル、接地レベルやトランジスタのコンダクタンスが変動しても安定な遅延時間を有し得るだけでなく、回路面積や消費電流を小さくすることが可能な遅延回路を実現することが可能となる。

【0097】また、本発明（請求項 5）によれば、請求項 1 における定電圧発生部の出力電圧を複数にしたり、請求項 1 における定電流発生部、キャパシタ、増幅回路等を必要に応じて複数個設けることにより、最小限の回路増加で複数種の遅延時間を達成することができ、素子面積の縮小化をはかることが可能となる。

【図面の簡単な説明】

【図 1】第 1 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 2】第 2 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 3】第 3 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 4】第 3 の実施例における入力電圧 Vin, 出力電圧 Vout, 増幅回路 2 の + 端子に輸入される電圧 Vcap, 50

定電圧 Vref の波形を示す図。

【図 5】第 4 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 6】第 5 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 7】第 5 の実施例における入力電圧 Vin, 出力電圧 Vout, 増幅回路 20 の一端子に輸入される電圧 Vcap, 定電圧 Vref の波形を示す図。

【図 8】第 6 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 9】第 7 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 10】第 7 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 11】第 7 の実施例における回路動作を説明するための図。

【図 12】第 8 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 13】第 8 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 14】第 8 の実施例における回路動作を説明するための図。

【図 15】第 9 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 16】第 9 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 17】第 9 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 18】第 9 の実施例における回路動作を説明するための図。

【図 19】第 10 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 20】第 10 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 21】第 10 の実施例における回路動作を説明するための図。

【図 22】第 11 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 23】第 12 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 24】第 12 の実施例における回路動作を説明するための図。

【図 25】第 13 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 26】第 13 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 27】第 13 の実施例における回路動作を説明するための図。

【図 28】第 14 の実施例に係わる遅延回路の基本構成を示すブロック図。

【図 29】第 14 の実施例に係わる遅延回路の具体的構成を示す回路構成図。

【図 30】第 14 の実施例における回路動作を説明するための図。

【図 31】従来の遅延回路の第 1 の例を示す図。

【図 32】従来の遅延回路の第 2 の例を示す図。

【図 33】複数の遅延時間を得るための従来の遅延回路の第 1 の例を示す図。

【図 34】図 33 の回路における入出力波形を示す図。

【図 35】複数の遅延時間を得るための従来の遅延回路の第 2 の例を示す図。

【図 36】図 35 の回路における入出力波形を示す図。

【符号の説明】

10…蓄電回路

11…定電圧発生部

12…低電流発生部

13…コンデンサ

15…スイッチ

20…増幅回路

60…単体遅延回路

Qp…pチャネルMOSトランジスタ

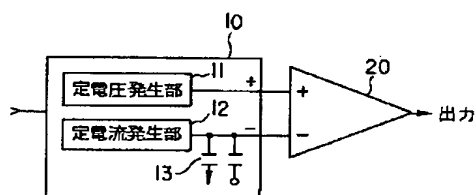
Qn…nチャネルMOSトランジスタ

I…インバータ

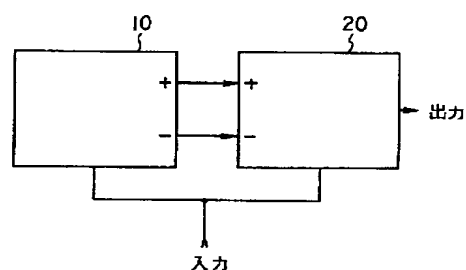
R…抵抗素子

C…容量素子

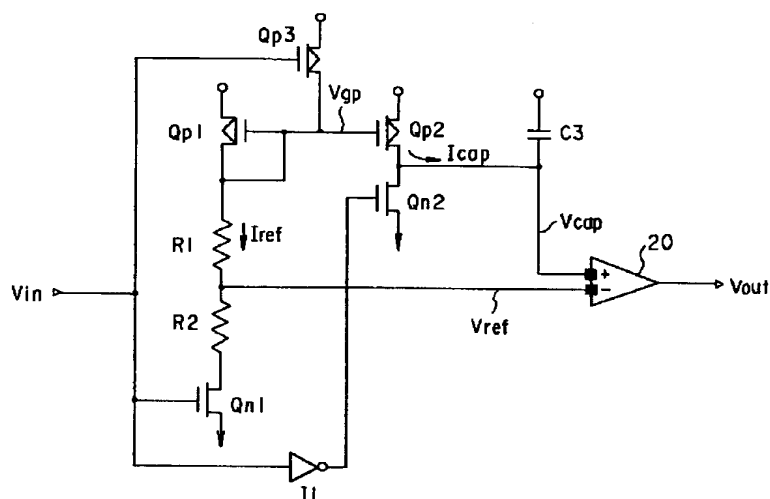
【図 1】



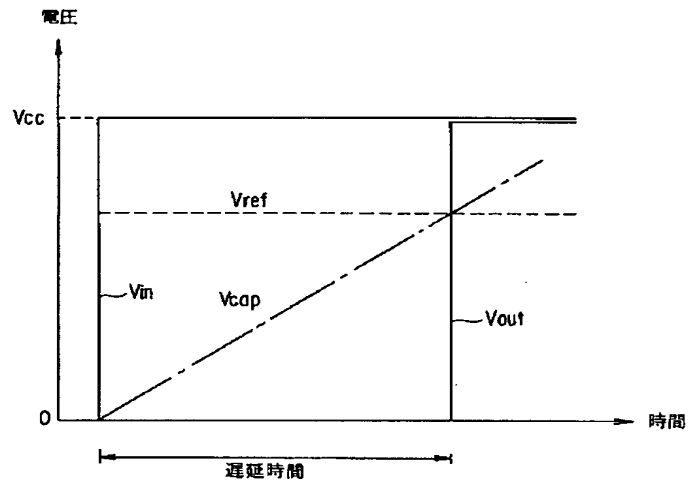
【図 2】



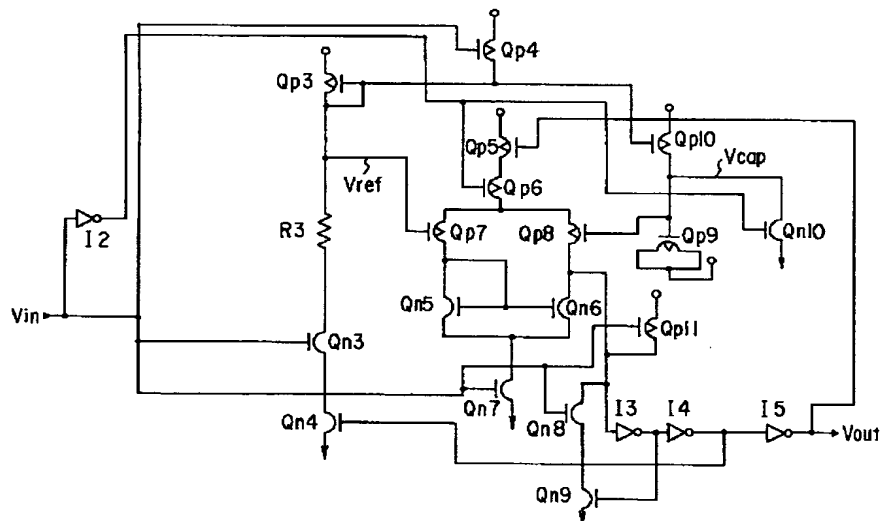
【図 3】



【図 4】



【図 5】



【図 12】

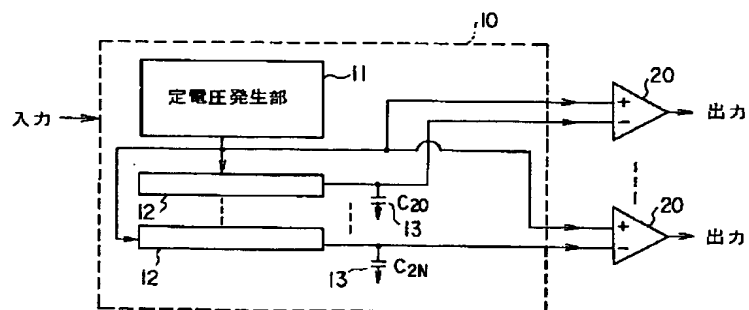
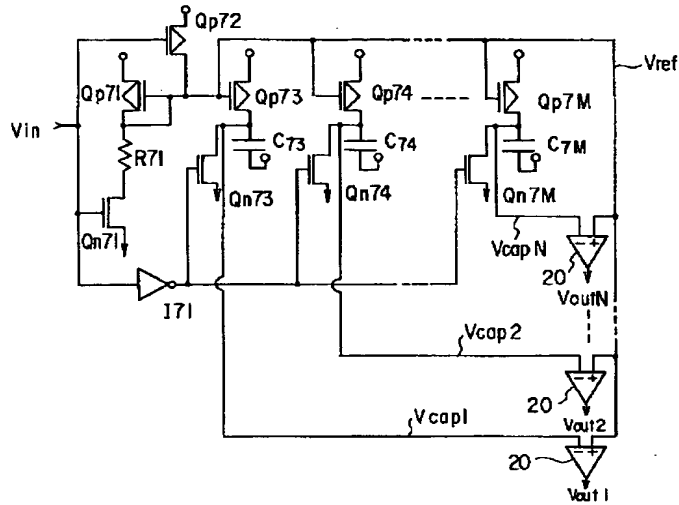


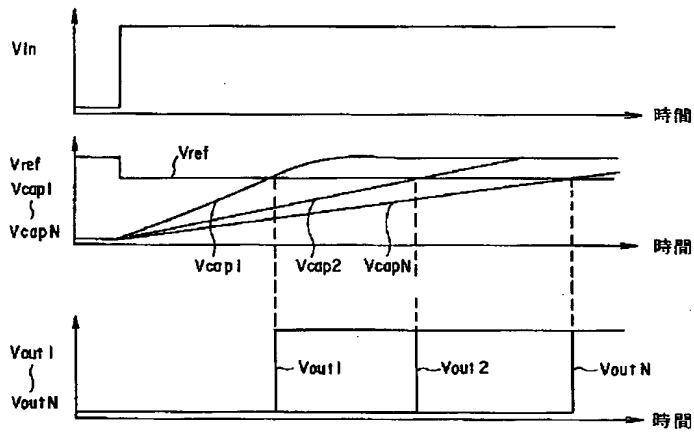
Figure 1 consists of three vertically stacked graphs sharing a common horizontal time axis labeled '時間' (Time).
 Graph (a) shows the input voltage V_{in} on the vertical axis. It is a step function that starts at 0 and rises to V_{cc} at a certain point in time.
 Graph (b) shows the output voltage V_{out} on the vertical axis. It remains at 0 until V_{in} rises, then after a delay, it rises to V_{cc} .
 Graph (c) shows the capacitor voltage V_{cap} on the vertical axis. It starts at V_{cc} and remains constant until V_{in} rises. After V_{in} rises, V_{cap} decays linearly towards 0. A horizontal line labeled V_{ref} is shown below V_{cc} . Vertical dashed lines connect the transition points in all three graphs.

[illegible]

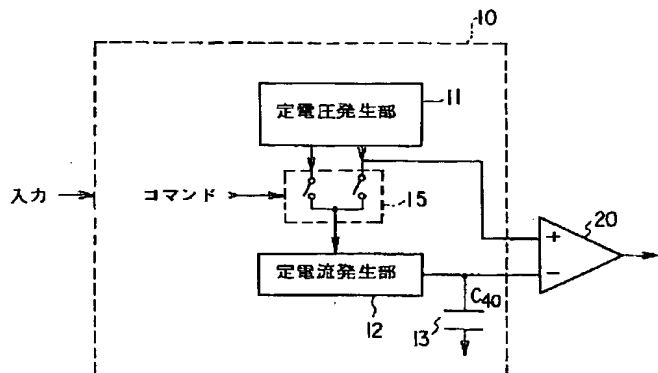
【図 13】



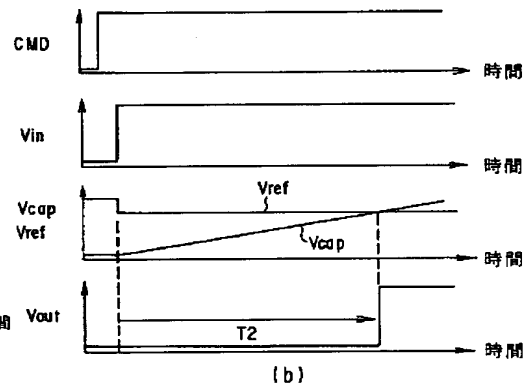
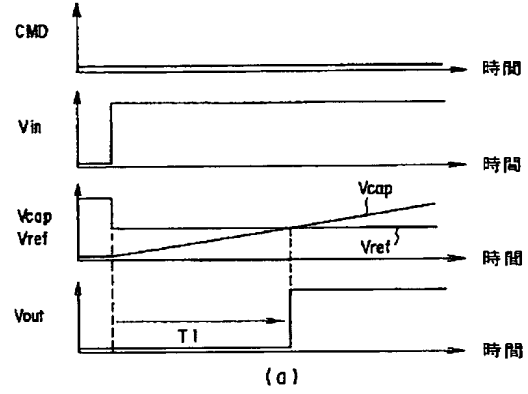
【図 14】



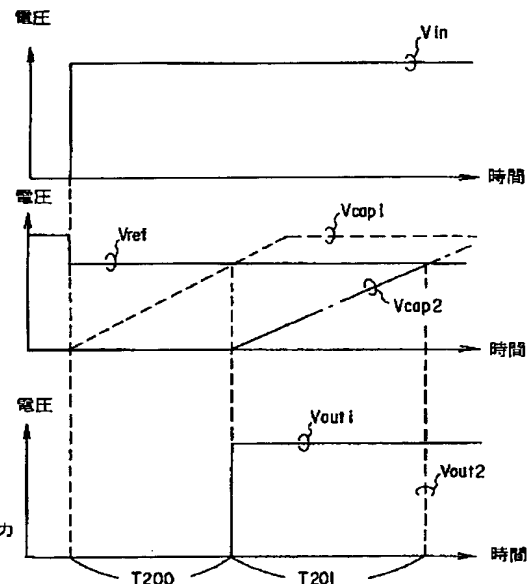
【図 19】



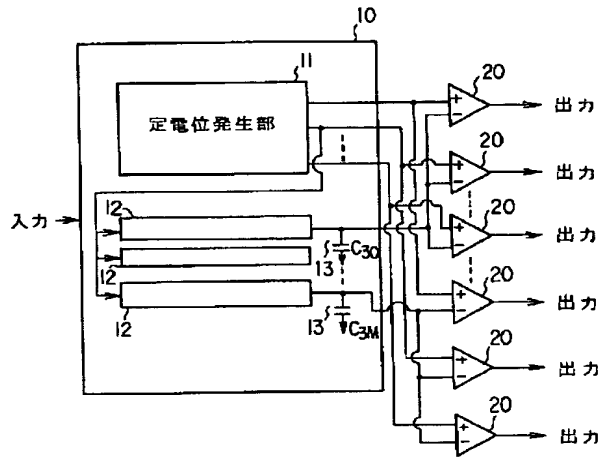
【図 21】



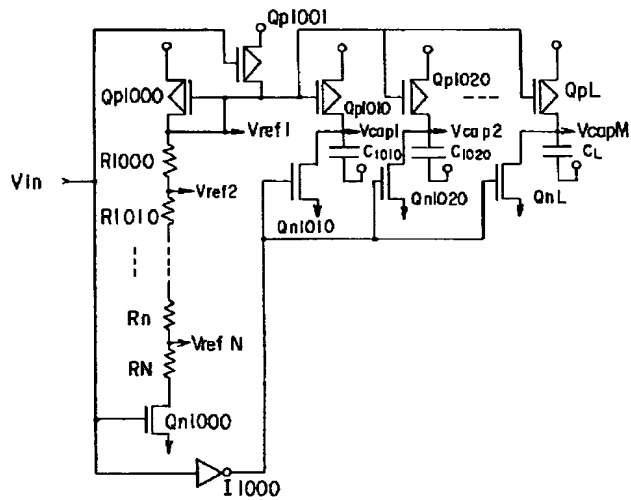
【図 30】



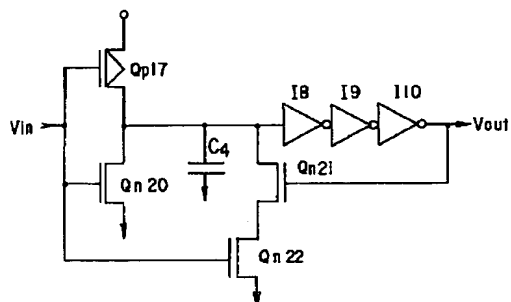
【図15】



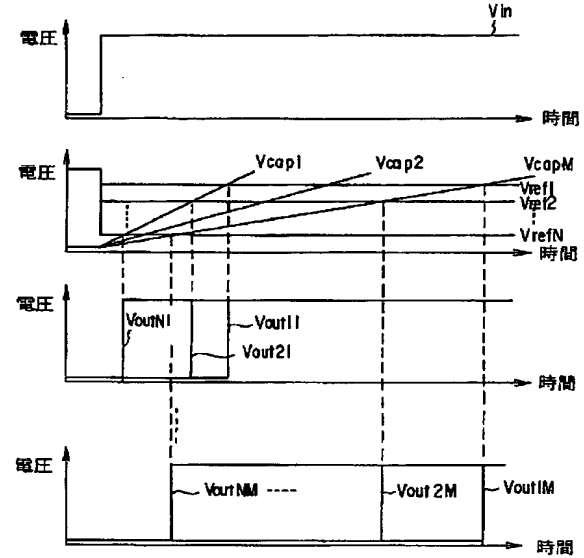
【図16】



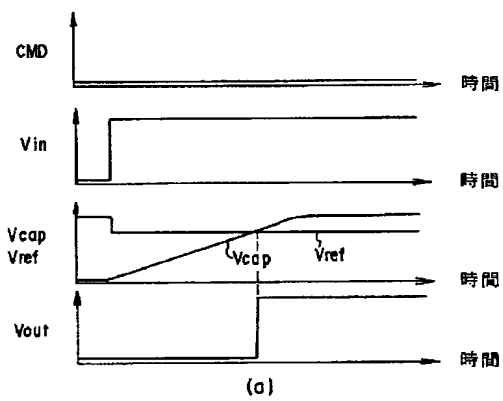
【図31】



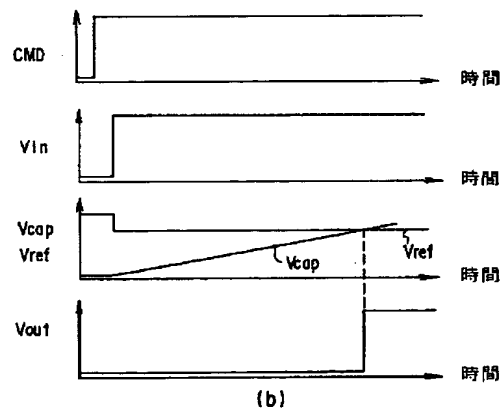
【図18】



【図24】

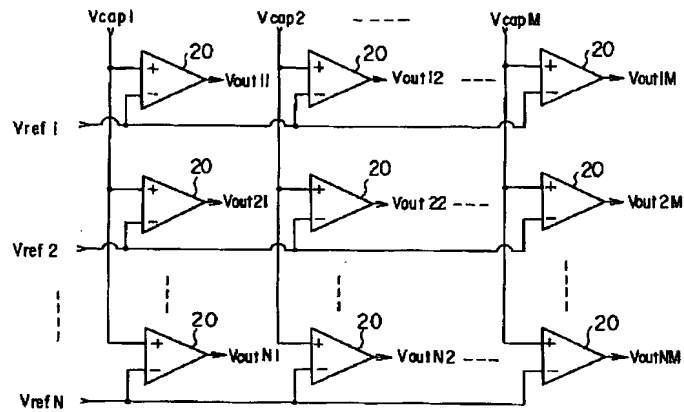


(a)

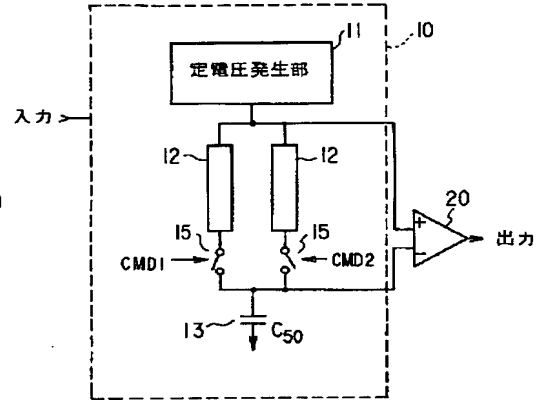


(b)

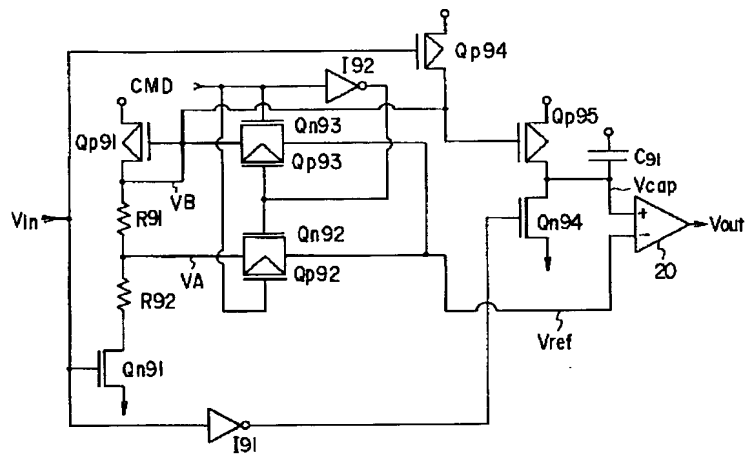
【図17】



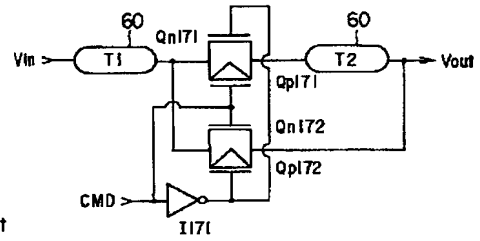
【図25】



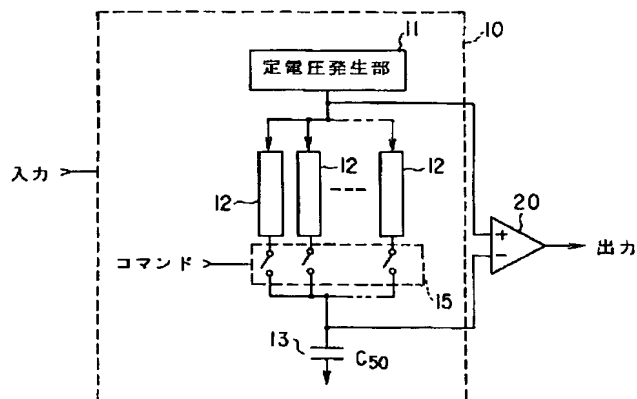
【図20】



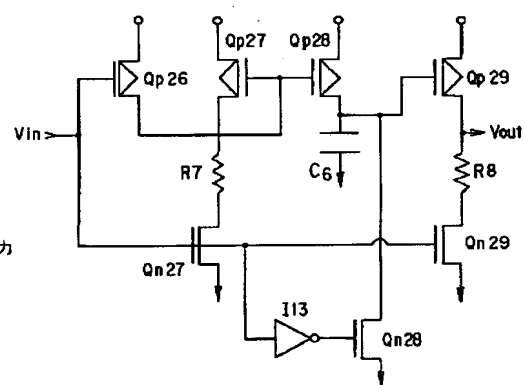
【図35】



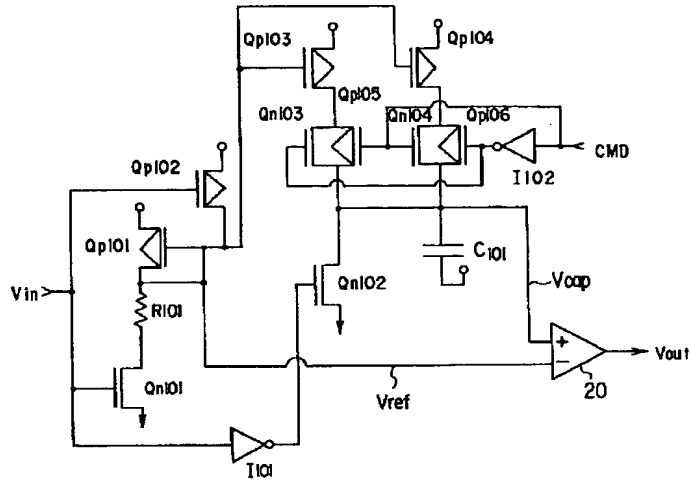
【図22】



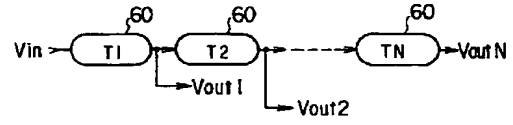
【図32】



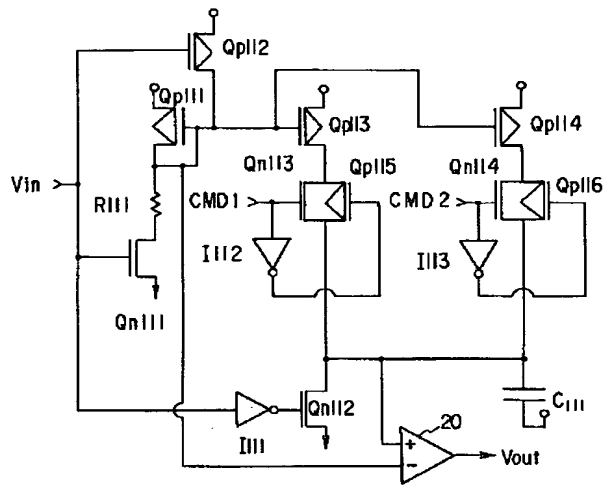
【図 2 3】



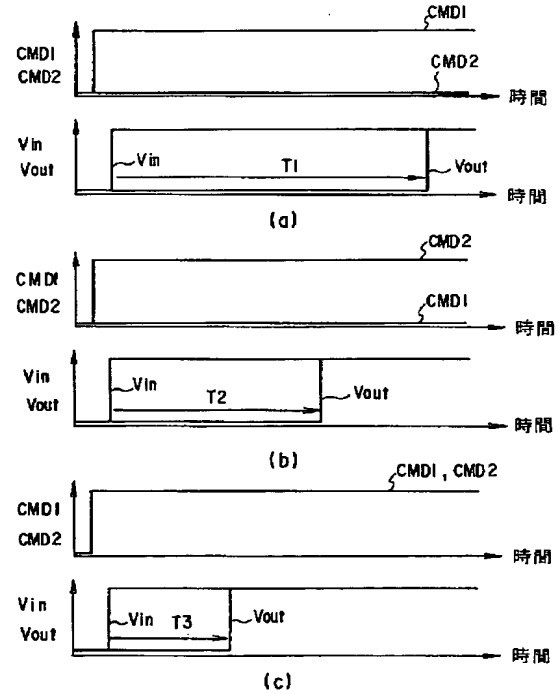
【図 3 3】



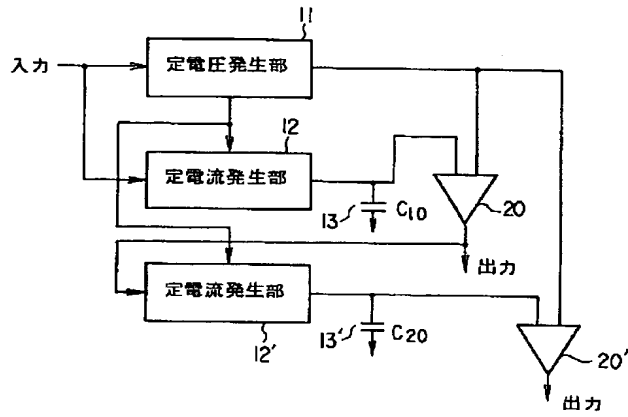
【図 2 6】



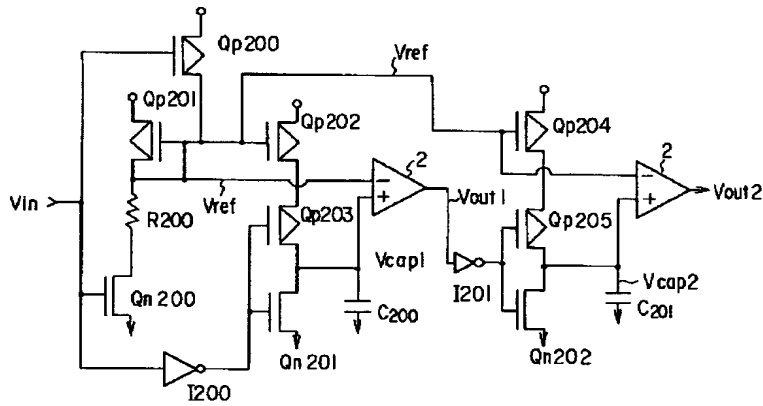
【図 2 7】



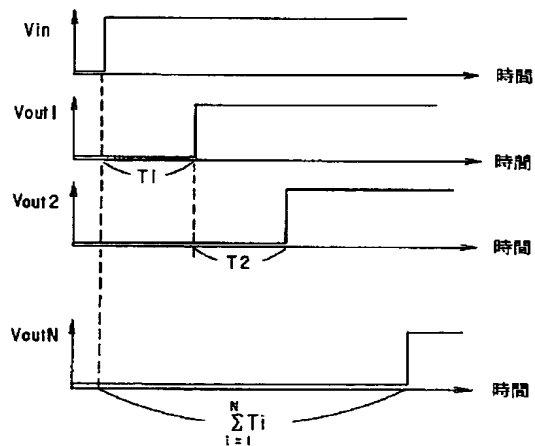
【図 2 8】



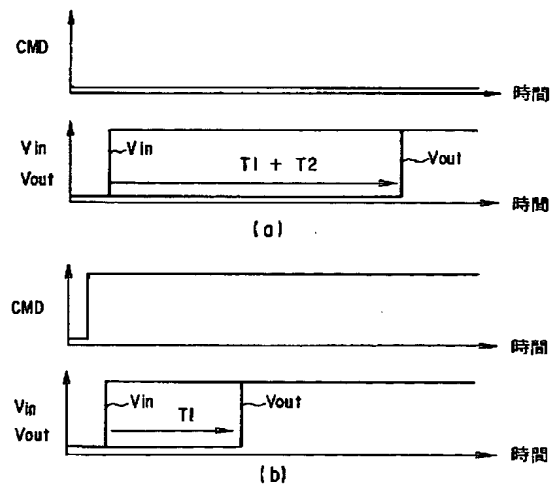
【図 2 9】



【図 3 4】



【図 3 6】



フロントページの続き

(72)発明者 山村 俊雄
神奈川県川崎市幸区堀川町580番地1号
株式会社東芝半導体システム技術センター
内